

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-234655

(P2003-234655A)

(43)公開日 平成15年 8月22日(2003.8.22)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\* (参考)

H 0 3 M 1/80

H 0 3 M 1/80

5 C 0 8 0

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 A

5 J 0 2 2

6 2 3

6 2 3 F

6 4 1

6 4 1 D

3/30

3/30

H

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21)出願番号

特願2002-33719(P2002-33719)

(22)出願日

平成14年 2月12日(2002.2.12)

(71)出願人 000116024

ロ-ム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 花田 幸一

京都市右京区西院溝崎町21番地 ロ-ム株式会社内

(72)発明者 嶋田 雄二

京都市右京区西院溝崎町21番地 ロ-ム株式会社内

(74)代理人 100079555

弁理士 梶山 信是 (外 1 名)

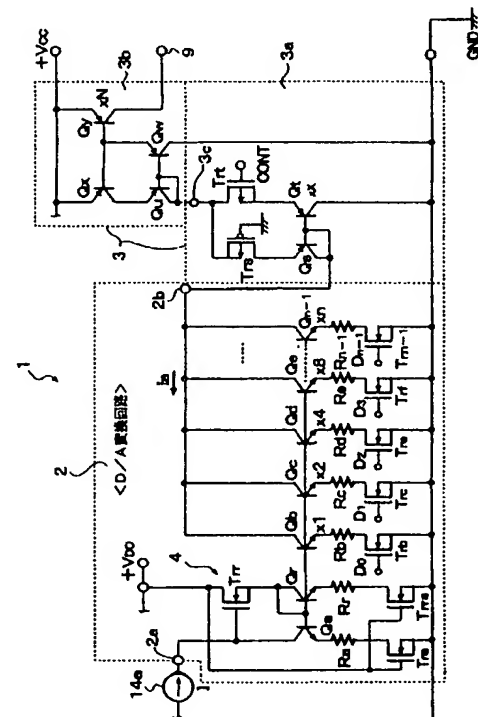
最終頁に続く

(54)【発明の名称】 D/A変換回路およびこれを用いる有機EL駆動回路

(57)【要約】

【課題】リーク電流を低減することができ、精度の高いD/Aおよびこれを用いる有機EL駆動回路を提供する。

【解決手段】この発明は、複数の出力側トランジスタが平行にカレントミラー接続され入力側トランジスタに所定の駆動電流を受けるカレントミラー回路と、入力側トランジスタのベースあるいはゲートと出力側トランジスタとのベースあるいはゲートとが共通に接続された接続ラインに駆動電流を供給する駆動電流供給回路とを有しこの駆動電流供給回路が、入力側トランジスタにカレントミラー接続されたダイオード接続の第1のトランジスタとこの第1のトランジスタの出力側に対して出力側が所定のバイアスラインとグランドとの間に縦方向に従属接続された第2のトランジスタとを有しこの第2のトランジスタのベースあるいはゲートが入力側トランジスタの入力側に接続され入力側トランジスタがダイオード接続されていない。



## 【特許請求の範囲】

【請求項 1】複数の出力側トランジスタがパラレルにカレントミラー接続され入力側トランジスタに所定の駆動電流を受けるカレントミラー回路を有し、それぞれ前記出力側トランジスタが入力データのビット桁位置対応に配置されて前記入力データに応じて選択的に駆動され、前記入力データに対応する変換アナログ電流を前記出力側トランジスタに流れる合計の電流値として出力端子に発生する D/A 変換回路において、

前記入力側トランジスタのベースあるいはゲートと前記出力側トランジスタとのベースあるいはゲートとが共通に接続された接続ラインに駆動電流を供給する駆動電流供給回路を備え、この駆動電流供給回路は、前記入力側トランジスタにカレントミラー接続されたダイオード接続の第 1 のトランジスタとこの第 1 のトランジスタの出力側に対して出力側が所定のバイアスラインとグランドとの間に縦方向に従属接続された第 2 のトランジスタとを有し、この第 2 のトランジスタのベースあるいはゲートが前記入力側トランジスタの入力側に接続され、前記入力側トランジスタがダイオード接続されていないことを特徴とする D/A 変換回路。

【請求項 2】前記第 1 のトランジスタと前記入力側トランジスタおよび前記出力側トランジスタとは、バイポーラトランジスタで構成され、前記第 2 のトランジスタは、MOSFET トランジスタである請求項 1 記載の D/A 変換回路。

【請求項 3】前記第 1、第 2 のトランジスタと前記入力側トランジスタおよび前記出力側トランジスタは、MOSFET トランジスタである請求項 1 記載の D/A 変換回路。

【請求項 4】表示データを受けてこれに対応する表示のためのアナログの電流を発生する D/A 変換回路と、この D/A 変換回路からの出力電流で駆動され有機 EL 表示パネルの端子ピンを駆動するカレントミラー電流出力回路とを備え、

前記 D/A 変換回路は、複数の出力側トランジスタがパラレルにカレントミラー接続され入力側トランジスタに所定の駆動電流を受けるカレントミラー回路と、前記入力側トランジスタのベースあるいはゲートと前記出力側トランジスタとのベースあるいはゲートとが共通に接続された接続ラインに駆動電流を供給する駆動電流供給回路とを有し、この駆動電流供給回路は、前記入力側トランジスタにカレントミラー接続されたダイオード接続の第 1 のトランジスタとこの第 1 のトランジスタの出力側に対して出力側が所定のバイアスラインとグランドとの間に縦方向に従属接続された第 2 のトランジスタとを有し、この第 2 のトランジスタのベースあるいはゲートが前記入力側トランジスタの入力側に接続され、前記入力側トランジスタがダイオード接続されていないことを特徴とする有機 EL 駆動回路。

【請求項 5】前記第 1 のトランジスタと前記入力側トランジスタおよび前記出力側トランジスタとは、バイポーラトランジスタで構成され、前記第 2 のトランジスタは、MOSFET トランジスタである請求項 4 記載の有機 EL 駆動回路。

【請求項 6】前記第 1、第 2 のトランジスタと前記入力側トランジスタおよび前記出力側トランジスタは、MOSFET トランジスタである請求項 4 記載の有機 EL 駆動回路。

10 【請求項 7】さらに、ピーク電流生成回路を有し、このピーク電流生成回路は、前記 D/A 変換回路の前記出力電流を受けてその出力電流に応じたピーク電流を生成し前記カレントミラー電流出力回路を駆動する請求項 4 記載の有機 EL 駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、D/A 変換回路およびこれを用いる有機 EL 駆動回路に関し、詳しくは、カレントミラー回路を利用して入力デジタル値に対応する電流値を生成して有機 EL パネルのピン駆動電流を発生するカラムライン（陽極側ドライバライン、以下同じ）の電流駆動回路において、リーク電流を低減することができかつ高い精度で D/A 変換して駆動電流を生成することができる D/A 変換回路およびこれを用いる有機 EL 駆動回路の改良に関する。

## 【0002】

【従来の技術】有機 EL 表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVD プレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機 EL 表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R（赤）、G（緑）、B（青）に感度差があることから制御が難しくなる問題点がある。そこで、最近では、電流駆動のドライバを用いた有機 EL 表示装置が提案されている。例えば、特開平 10-112391 号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている。

40 【0003】携帯電話機用の有機 EL 表示装置の有機 EL 表示パネルでは、カラムラインの数が 396 個（132×3）の端子ピン（以下ピン）、ローラインが 162 個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。このようなピン数の増加により、特に、カラムライン側では複数のカラム IC ドライバがフルカラーで R、G、B 各 44 ピンの 132 ピンとなり、それが 2 ドライバ必要になる。そのためカラム IC ドライバ相互間の特性のばらつきにより輝度むらが発生する問題がある。そこで、このような問題を解決する発明として、この出願人は、すでに特願 2001-86967 号「有機 EL 駆動回路およ

びこれを用いる有機EL表示装置」を出願している。また、この種の問題を解決する技術として特開2001-42827号「ディスプレイ装置及びディスプレイパネルの駆動回路」を挙げることができる。

【0004】図3は、後者のカラムドライバの説明図であって、10は、IC化されたカラムライン電流駆動回路である。内部にD/A変換回路を有する基準電圧発生回路11で入力されたデジタル値に対応する基準電圧を発生して、これをオペアンプ(OP)を有する定電流回路で構成される基準電流発生回路12で基準電流I<sub>REF</sub>に変換する。基準電流発生回路12で出力される基準電流I<sub>REF</sub>をカレントミラー電流出力回路13で受ける。カレントミラー電流出力回路13は、1個の入力側トランジスタQ<sub>p</sub>と出力ピンに対応するn個の出力側トランジスタQ<sub>1</sub>~Q<sub>m</sub>を有するカレントミラー回路13aと、出力側トランジスタQ<sub>1</sub>~Q<sub>m</sub>の出力を受ける各スイッチS<sub>1</sub>~S<sub>m</sub>からなるスイッチブロックSBとを有している。各ドライバのトランジスタQ<sub>1</sub>~Q<sub>m</sub>の出力は、カラム側のピンに対する駆動電流としてスイッチS<sub>1</sub>~S<sub>m</sub>、出力端子X<sub>1</sub>~X<sub>m</sub>を介して出力される。なお、GA<sub>1</sub>~GA<sub>m</sub>は、スイッチブロックSBの各スイッチS<sub>1</sub>~S<sub>m</sub>のON/OFFを制御する制御信号である。また、基準電圧発生回路11のD/A変換回路は、CPU、MPU等のプロセッサから表示輝度に応じた表示データがレジスタ等を介して入力され、そのデジタル値を受けて基準電圧に対応する信号を発生する。

【0005】さらに、スイッチブロックSBの位置には、ピン対応に入力側トランジスタを設け、出力側トランジスタをピンに接続した一対のカレントミラー電流出力回路を設けて、GA<sub>1</sub>~GA<sub>m</sub>に応じてこの回路をスイッチング制御する構成の電流駆動回路がある。この場合には、前記のカレントミラー電流出力回路13aは、手前の入力段となる基準電流発生回路から基準電流を受けてピン対応に多数のミラー電流を生成するカレントミラーのドライブ段、あるいは基準電流をk倍(kは2以上の整数)の電流に増幅するカレントミラーの電流ドライブ段となって、ピン対応に設けられた前記の入力側トランジスタを駆動することになる。先の特願2001-86967号のカラムラインの電流駆動回路はこのような回路構成を採っている。このように、複数の出力側トランジスタをパラレルに駆動するカレントミラー回路をドライブ段(特願2001-86967号)、あるいは出力段(図3の回路)に用いる電流駆動回路があるが、フルカラー表示で高画質表示を確保するための回路として、特願2001-86967号のようにパラレル駆動のカレントミラー回路をドライブ段とした場合には、GA<sub>1</sub>~GA<sub>m</sub>による制御をせずに、このドライブ段の後にピン対応にD/A変換回路を設けて、カラム側のピン対応にD/A変換回路が表示データを受けてこの表示データをピン対応にD/A変換して1ライン分の駆動電流を

同時に生成する電流駆動回路がある。なお、この場合のD/A変換回路は、基準電圧発生回路11側に設けられているD/A変換回路をこのドライブ段に移動させたものである。

【0006】

【発明が解決しようとする課題】図4は、そのD/A変換回路14の一例である。D<sub>0</sub>~D<sub>n-1</sub>がデジタル値の入力であり、表示データがレジスタ等を介して設定される。そして、図3の各ドライバのトランジスタQ<sub>1</sub>~Q<sub>m</sub>の出力をこのドライブ段とする。このドライブ段それぞれの1ピン分の駆動回路を簡略化して定電流源14aとして示すと、このD/A変換回路14は、この定電流源14aからの電流Iをコレクタに受けるダイオード接続の入力側npn型バイポーラトランジスタQ<sub>a</sub>とを有し、これにカレントミラー接続された出力側npn型バイポーラトランジスタQ<sub>b</sub>~Q<sub>n-1</sub>、各出力側トランジスタQ<sub>b</sub>~Q<sub>n-1</sub>のエミッタとグランドGND間にスイッチ回路として接続されたNチャネルMOSFETトランジスタT<sub>rb</sub>~T<sub>rn-1</sub>が設けられている。そして、トランジスタT<sub>rb</sub>~T<sub>rn-1</sub>のゲートがそれぞれD<sub>0</sub>~D<sub>n-1</sub>の各入力端子に接続されている。出力側トランジスタQ<sub>b</sub>~Q<sub>n-1</sub>は、それぞれのコレクタが出力端子14bに接続され、トランジスタQ<sub>a</sub>のエミッタ面積に対してそれぞれのトランジスタが×1、×2、×3、…×nの倍数のエミッタ面積比を持っている。なお、入力側トランジスタQ<sub>a</sub>のエミッタはグランドGNDに接続されている。このようなD/A変換回路14にあっては、出力電流が大きくなると、その分カレントミラーのベース駆動電流が大きくなるが、そのベース駆動電流が入力側トランジスタQ<sub>a</sub>の駆動電流から分流されるために、出力電流が大きくなるにつれてビット変換精度が悪くなる問題がある。

【0007】このような問題を解決するために図5のようなウィルソン型カレントミラーを用いたD/A変換回路がD/A変換回路14として利用される。図5は、カレントミラー接続されたベース駆動電流を出力側から補うものである。そのためにnpn型バイポーラトランジスタQ<sub>q</sub>が出力側トランジスタQ<sub>b</sub>のコレクタと出力端子14bとの間に設けられている。そして、トランジスタQ<sub>q</sub>のエミッタとトランジスタQ<sub>b</sub>のコレクタとが接続され、そのエミッタがカレントミラーの共通のベースラインに接続されている。そのベースは、トランジスタQ<sub>a</sub>のコレクタに接続され、ベース駆動電流供給回路14cが設けられている。これにより入力側トランジスタQ<sub>a</sub>の駆動電流からベース駆動電流が分流されないでビット変換精度は低下しないで済む。しかし、D/A変換していないときにあっても、すなわち、D<sub>0</sub>~D<sub>n-1</sub>が“000…0”のときであっても、出力端子14aからトランジスタQ<sub>q</sub>のコレクターエミッタ、トランジスタQ<sub>a</sub>のベースエミッタを介してグランドGNDへとリーク電流が流れる。このリーク電流は、トランジスタQ<sub>a</sub>のベ-

ス駆動電流のほかに、図示するように出力端子14bからグランドGNDへと流れ、その電流値は数百nAにもなる。このリーク電流を持つD/A変換回路14は、ピン数分だけ設けられるので、その分無駄な消費電力が増加することになる。この発明の目的は、このような従来技術の問題点を解決するものであって、リーク電流を低減することができかつ高い精度でD/A変換して駆動電流を生成することができるD/A変換回路およびこれを用いる有機EL駆動回路を提供することにある。

#### 【0008】

【課題を解決するための手段】このような目的を達成するためのこの発明のD/A変換回路およびこれを用いる有機EL駆動回路の特徴は、複数の出力側トランジスタがパラレルにカレントミラー接続され入力側トランジスタに所定の駆動電流を受けるカレントミラー回路と、入力側トランジスタのベースあるいはゲートと出力側トランジスタとのベースあるいはゲートとが共通に接続された接続ラインに駆動電流を供給する駆動電流供給回路とを有し、この駆動電流供給回路が、入力側トランジスタにカレントミラー接続されたダイオード接続の第1のトランジスタとこの第1のトランジスタの出力側に対して出力側が所定のバイアスラインとグランドとの間に縦方向に従属接続された第2のトランジスタとを有し、この第2のトランジスタのベースあるいはゲートが入力側トランジスタの入力側に接続され、入力側トランジスタがダイオード接続されていないものである。

#### 【0009】

【発明の実施の形態】このように、この発明にあっては、出力端子とは異なる所定のバイアスラインから電流が供給されてベースあるいはゲートへ駆動電流を供給する駆動電流供給回路を設け、この駆動電流供給回路からD/A変換のカレントミラー回路のベースあるいはゲートの接続ラインに電流を供給するようにしているので、出力端子側からのリーク電流が発生することなく、カレントミラー接続のベースあるいはゲートへ駆動電流を供給することができる。その結果、リーク電流を低減することができ、精度の高いD/A変換回路およびこれを用いる有機EL駆動回路を実現することができる。

#### 【0010】

【実施例】図1は、この発明の有機EL駆動回路を適用した一実施例のカラムドライバを中心とするブロック図、図2は、他の実施例のカラムドライバを中心とするブロック図である。なお、図3、図4と同一の構成要素は同一の符号で示す。図1において、1は、有機EL駆動回路のカラムドライバであって、2は、そのD/A変換回路、3は、そのカレントミラー電流出力回路である。D/A変換回路2は、図4のD/A変換回路14に対応しているが、トランジスタQqは削除されている。出力側トランジスタQbのコレクタは、図4と同様に出力端子2bに接続されている。削除されたトランジスタ

10

20

30

40

50

Qqに換えてベース駆動電流供給回路4が設けられている。このベース駆動電流供給回路4は、トランジスタQaにカレントミラー接続されたダイオード接続のバイポーラトランジスタQrと、これの上流に設けられたNチャネル型のMOSFETトランジスタTrr、そして、バイポーラトランジスタQrの下流でグランドGNDとの間に設けられた抵抗RrとNチャネル型のMOSFETトランジスタTrraの直列回路とからなる。なお、図4、図5では示していないが、トランジスタQaの下流にもグランドGNDとの間に抵抗RaとNチャネル型のMOSFETトランジスタTraの直列回路が同様に設けられている。これら下流に設けられる直列回路は、D/A変換回路の出力側カレントミラーとの電流バランスを採るためのものであり、これにより変換精度を確保する役割を持つ。それぞれの直列回路のトランジスタTraとトランジスタTrraのゲートは、それぞれ電源ライン+VDDにプルアップされている。ここで、2aは、D/A変換回路2の入力端子であり、図3の各ドライバのトランジスタQ1~Qmの出力をこれらのドライブ段とし、このドライブ段のそれぞれの1ピン分の駆動回路を簡略化して定電流源14aから駆動電流を受ける。トランジスタTrrのゲートは、トランジスタQaのコレクタに接続され、ソースがトランジスタQrのコレクタに接続され、さらにトランジスタQaのベースに接続されている。そのドレインは、電源ライン+VDDラインに接続されている。また、トランジスタQrのエミッタはグランドGNDに接続されている。これにより、各出力側トランジスタQb~Qn-1のベース駆動電流がトランジスタTrrを介して電源ライン+VDDから供給される。なお、トランジスタTrrのドレインは、電源ライン+VDDではなく、所定のバイアスラインに接続されていてもよい。その結果、図5の場合と同様にこのA/D変換回路2は、精度の高いビット変換が可能である。なお、以上の場合、入力側バイポーラトランジスタQaは、ダイオード接続されていない。

【0011】さらに、ここでは、出力端子2bからトランジスタQaのベースが切り離されているので、D/A変換していないときであっても、すなわち、D0~Dn-1が"000...0"のときにも、出力端子2bからのリーク電流はなくなる。このときの駆動電流は、MOSFETトランジスタTrrを介してトランジスタQa、Qrのベースに流す駆動電流とトランジスタQrのコレクターエミッタ間に流れる電流だけになる。トランジスタQrとトランジスタTrrとからなるベース駆動電流供給回路4は、ベース電流駆動のための電流を補給する回路である。この回路から供給される電流は、上流のMOSFETトランジスタTrrのドレイン-ソース間の高抵抗値を介して流す数百nAオーダー程度のもので済む。ここで、トランジスタQaとトランジスタQrのエミッタ面積比を10:1とすれば、トランジスタQaの動作電流とし

て、例えば、 $900\text{ nA}$  流すと、トランジスタ  $Q_r$  側に  $90\text{ nA}$  流すことになる。このような回路において、リーク電流が図 5 のリーク電流と同様にたとえ数百  $\text{nA}$  あったとしても、このリーク電流は、有機 EL パネルの出力側（ピン 9 側）とは切り離されているので、ここでのリーク電流が出力側に影響することはない。そのため、リーク電流による出力側への影響が排除され、その影響による電力消費分が低減される。図 5 においてリーク電流が影響する出力側の電圧は、 $1.5\text{ V}$  乃至  $2.0\text{ V}$  の電圧の電源ライン +  $V_{cc}$  になるので、リーク電流に対する消費電力への影響は大きい、前記のベース駆動電流供給回路 4 は、たとえリーク電流があっても  $5\text{ V}$  乃至これ以下の電圧の電源ライン +  $V_{DD}$  になっているので、トータルとしての消費電力の低減につながる。しかも、上流側に MOSFET トランジスタを設けているので、ゲート電流はほとんど流れずに済み、トランジスタ  $Q_a$  に流れる電流精度は向上する。これにより  $D/A$  変換精度を向上させることができる。なお、抵抗  $R_b \sim R_{n-1}$  は、出力側トランジスタ  $Q_b \sim Q_{n-1}$  のエミッタとトランジスタ  $T_{rb} \sim T_{rn-1}$  のドレインとの間に挿入されたエミッタ抵抗である。これによりソースドレイン間の寄生容量との関係で所定の時定数を確保できるが、これらのエミッタ抵抗は必ず必要なものではない。

【0012】カレントミラー電流出力回路 3 は、ドライブ段カレントミラー回路 3 a と出力段カレントミラー回路 3 b とからなる。カレントミラー回路 3 a は、ピーク電流生成回路であって、ダイオード接続された入力側トランジスタ  $Q_s$  と出力側トランジスタ  $Q_l$  とからなり、それぞれのエミッタ側が P チャンネル MOSFET トランジスタ  $T_{rs}$ 、N チャンネル MOSFET トランジスタ  $T_{rl}$  を介して出力段カレントミラー回路 3 b の入力端子 3 c に接続されている。入力側トランジスタ  $Q_s$  のコレクタは、 $D/A$  変換回路 2 の出力端子 2 b に接続され、出力側トランジスタ  $Q_l$  のコレクタは、グランド  $GND$  に接続されている。トランジスタ  $Q_s$  とトランジスタ  $Q_l$  のエミッタ面積比は  $1 : x$  である。ここで、 $D/A$  変換回路 2 の出力電流を  $I_a$  とすると、これに対して入力端子 3 c に  $(x+1) I_a$  の駆動電流を発生することができる。

【0013】カレントミラー回路 3 a は、トランジスタ  $T_{rl}$  が ON しているときには、 $(1+x)$  倍の駆動電流を生成する。トランジスタ  $T_{rs}$  は、トランジスタ  $T_{rl}$  に対応して設けられた負荷トランジスタであって、そのゲートはグランド  $GND$  に接続されていて、駆動ラインをバランスさせるために挿入されている。なお、トランジスタ  $T_{rl}$  は、駆動初期の一定期間だけコントロール信号  $CONT$  を受けて ON になる。これにより出力段カレントミラー回路 3 b の入力側トランジスタ  $Q_x$  がベース電流補正駆動用のカレントミラートランジスタ  $Q_u$ 、 $Q_w$  を介して駆動される。その結果、入力側トランジスタ  $Q_x$  によりトランジスタ  $T_{rl}$  が ON したピーク駆動時の一定期間

には  $(1+x) I_a$  の電流が流れる。その後に通常駆動電流として駆動電流  $I_a$  が出力される。それらが出力段カレントミラー回路 3 b の出力側トランジスタ  $Q_y$  でさらに  $N$  倍に電流増幅されて、有機 EL パネルのピン 9 に出力される。なお、出力段カレントミラー回路 3 b のトランジスタ  $Q_x$  とトランジスタ  $Q_y$  のエミッタ面積比は  $1 : N$  であり、これらトランジスタのエミッタは、電源ライン +  $V_{DD}$  ではなく、これより高い電圧、例えば、 $+1.5\text{ V}$  乃至  $+2.0\text{ V}$  程度の電源ライン +  $V_{cc}$  に接続され、出力側トランジスタ  $Q_y$  のコレクタは、カラム側のピン 9 に接続されている。そこで、ピーク時には  $N \times (1+x) I_a$  の駆動電流を流してピン 9 を駆動する。これにより容量性負荷となる特性を持つ有機 EL 素子がピーク電流で初期充電されて電流駆動される。ところで、ピーク電流生成回路であるカレントミラー回路 3 a を前記したように  $D/A$  変換回路 2 と出力段カレントミラー回路 3 b との間に設けることにより消費電力の低減を図ることができる。それは、通常、ピーク電流生成回路が図 3 に示す基準電圧発生回路 11 に設けられるからである。この場合には、ドライブ段となるカレントミラー電流出力回路 13 を経てカレントミラー電流出力回路 3 に至るまでにピーク電流信号が多数のステージを経てそれぞれのステージに流れることになる。そのために各ステージを構成するトランジスタでピーク電流分の電力が消費される。しかし、この実施例のように最終段に近い位置にピーク電流生成回路を配置することで、その分無駄な電力消費が抑えられる。

【0014】図 2 は、他の実施例であって、入力デジタル値を  $D_0 \sim D_4$  の 5 ビットとして 16 倍までの電流を発生する例である。出力側トランジスタは、 $Q_b \sim Q_f$  であり、スイッチ回路としてのトランジスタは、 $T_{rb} \sim T_{rf}$  である。なお、出力側トランジスタ  $Q_b \sim Q_f$  のエミッタとトランジスタ  $T_{rb} \sim T_{rf}$  のドレインとの間に挿入された図 1 に示す抵抗  $R_b \sim R_f$  は、省略してある。同様に、トランジスタ  $Q_a$ 、 $Q_r$  の下流の抵抗  $R_a$ 、 $R_r$  も省略してある。この実施例では、 $D/A$  変換回路 2 の、 $\times 8$ 、 $\times 16$  の倍数の桁位置のビットに対するカレントミラーの出力側のトランジスタを  $\times 4$  倍として、これに対して縦にカレントミラー回路を積上げて従属接続し、電流増幅する回路とした  $D/A$  変換回路 20 である。すなわち、8 倍の桁位置のカレントミラー回路 5 は、 $\times 4$  の倍数のカレントミラーの出力側トランジスタ  $Q_e$  の上流にカレントミラー回路 6 が設けられ、合計で 8 倍の電流値  $8 I$  を出力端子 2 b から引き込む。16 倍の桁位置のカレントミラー回路 7 は、 $\times 4$  の倍数のカレントミラーの出力側トランジスタ  $Q_f$  の上流にカレントミラー回路 8 が設けられ、合計で 16 倍の電流値  $16 I$  を出力端子 2 b から引き込む。カレントミラー回路 6 は、出力側トランジスタ  $Q_e$  のコレクタにコレクタが接続され、エミッタが出力端子 2 b に接続された入力側トランジスタ  $Q_g$  と、コ

レクタがグランドGNDに接続され、エミッタが出力端子2bに接続された出力側トランジスタQhからなる。トランジスタQgとトランジスタQhとのエミッタ面積比は1:1であって、トランジスタQgは、トランジスタQa、Qbと同様なエミッタ面積を持っている。したがって、カレントミラー回路5は、トランジスタQaに対して×8の倍数のエミッタ面積を持つ図1の場合の×8のトランジスタを設けるよりも×1の倍数のトランジスタが2個と×4の倍数のトランジスタ1個で済む。その結果、トランジスタの専有面積が全体として小さくなる。

【0015】なお、ここで各トランジスタに流れる電流値は、 $\mu$ Aオーダの微小電流であるので、セル化されて形成された1個のトランジスタにおいてエミッタ面積比が×1のものであっても、4倍の電流値4Iを十分に流せる能力がある。また、微小な電流を生成する場合に×nのエミッタ面積比のカレントミラー回路の出力側トランジスタQは、通常、セルとして形成されたトランジスタQをn個パラレルに接続することで形成される。そこで、前記の場合には、×1のトランジスタが6個となり、図1の実施例では、×8の倍数の場合、×1のトランジスタを8個用いることになるので、この場合よりもトランジスタの数が2個少なく済む。16倍の桁位置のカレントミラー回路7も同様な形態を採っていて、カレントミラー回路8は、入力側トランジスタQiと出力側トランジスタQjからなる。ここで、トランジスタQiとトランジスタQjとのエミッタ面積比は1:3であって、る。全体として16Iの電流を出力端子2bからシンクすることができる。この場合には、×1のトランジスタが8個となり、×1のトランジスタを16個用いる図1の×16の倍数の出力トランジスタの場合の半分となる。

【0016】以上説明してきたが、実施例では、入力側のトランジスタQaにカレントミラー接続されたバイポーラトランジスタQrと、これの上流に設けられたNチャネルのMOSFETトランジスタTrrとからなるベース駆動電流供給回路4を設けているが、トランジスタTrrは、抵抗とバイポーラトランジスタの直列回路であってもよい。この場合には、少し電流が増加するが、それでもD/A変換していないときの駆動電流については、図5の場合のリーク電流値よりも小さくすることができる。また、実施例のnpn型トランジスタは、pnpト

ランジスタに、pnp型トランジスタは、npnトランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。さらに、実施例のD/A変換回路は、バイポーラトランジスタを主体として構成しているが、MOSFETトランジスタを主体として構成してもよいことはもちろんである。この場合、カレントミラー回路の入力側トランジスタと出力側トランジスタとは、ゲートが共通に接続されることになる。

10 【0017】

【発明の効果】以上説明してきたように、この発明にあっては、出力端子とは異なる所定のバイアスラインから電流が供給されてベースあるはゲートへ駆動電流を供給する駆動電流供給回路を設け、この駆動電流供給回路からD/A変換のカレントミラー回路のベースあるはゲートの接続ラインに電流を供給するようにしているので、出力端子側からのリーク電流が発生することなく、カレントミラー接続のベースあるはゲートへ駆動電流を供給することができる。その結果、リーク電流を低減することができ、精度の高いD/A変換回路およびこれを用いる有機EL駆動回路を実現することができる。

【図面の簡単な説明】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例のカラムドライバを中心とするブロック図である。

【図2】図2は、他の実施例のカラムドライバを中心とするブロック図である。

【図3】図3は、従来のカラムドライバの一例の説明図である。

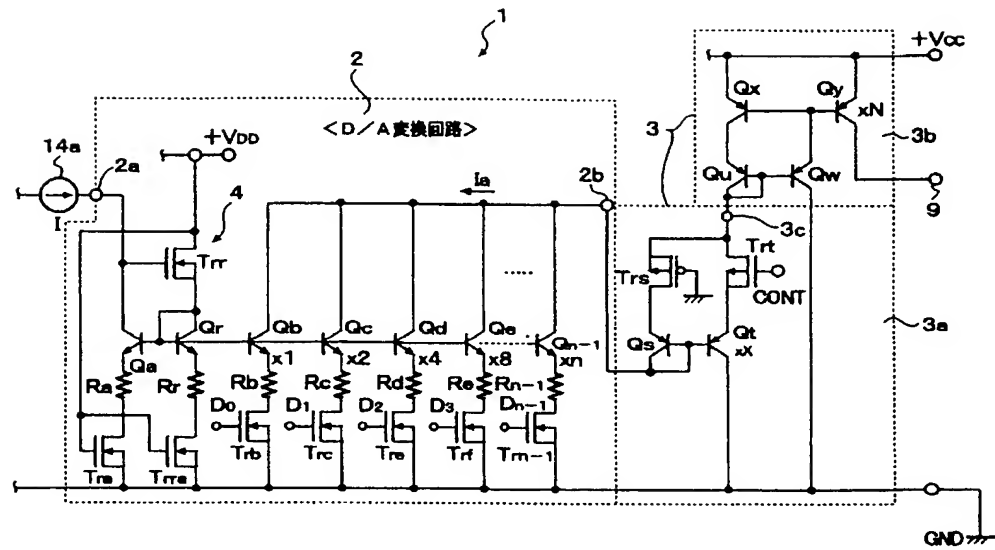
30 【図4】図4は、従来の有機EL駆動回路のD/A変換回路の一例の説明図である。

【図5】図5は、従来の有機EL駆動回路のD/A変換回路の他の一例の説明図である。

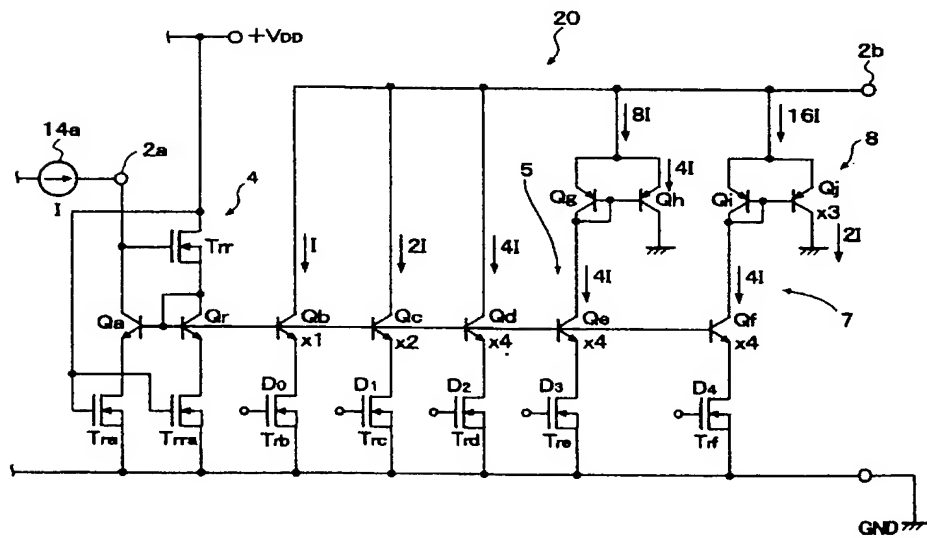
【符号の説明】

1…カラムドライバ、2, 14…D/A変換回路、2a…入力端子、2b…出力端子、3, 13…カレントミラー電流出力回路、3a…ドライブ段カレントミラー回路、3b…出力段カレントミラー回路、4, 11c…ベース駆動電流供給回路、5, 6, 7, 8…カレントミラー回路、9…ピン、10…カラムライン電流駆動回路、Q1~Qm, Qa~Qn-1…トランジスタ。

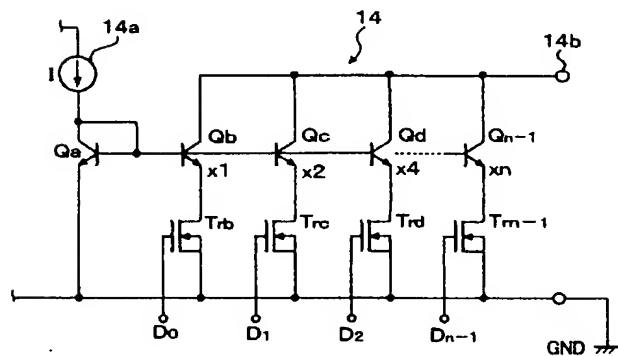
【図1】



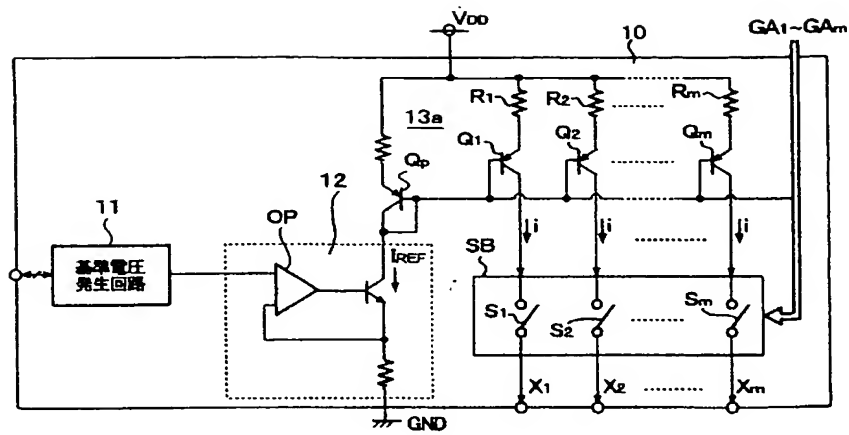
【図2】



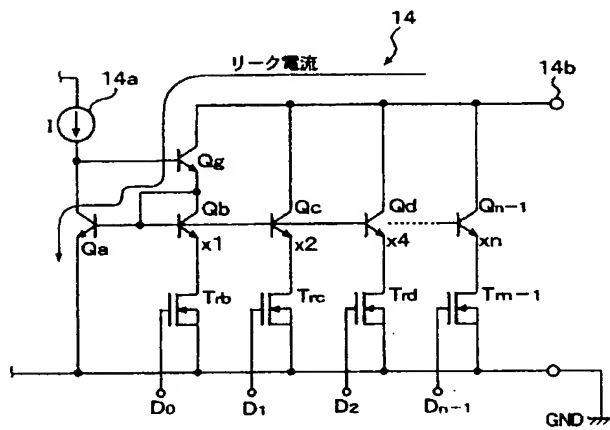
【図4】



【図 3】



【図 5】



フロントページの続き

(72) 発明者 藤沢 雅憲  
京都市右京区西院溝崎町21番地 口一ム株  
式会社内

Fターム(参考) 5C080 AA06 BB05 CC03 DD26 EE28  
FF11 JJ03  
5J022 AB04 BA01 CF04 CF07